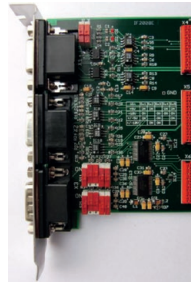
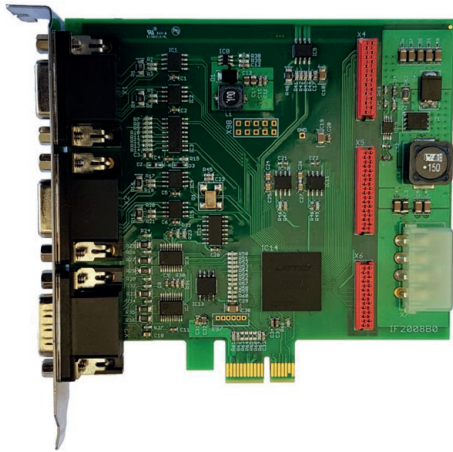




## Montageanleitung IF2008/PCIe, IF2008E



Interface-Karte

MICRO-EPSILON  
MESSTECHNIK  
GmbH & Co. KG  
Königbacher Strasse 15

94496 Ortenburg / Deutschland

Tel. +49/ 08542 / 168-0  
Fax +49/ 08542 / 168-90  
e-mail [info@micro-epsilon.de](mailto:info@micro-epsilon.de)  
[www.micro-epsilon.de](http://www.micro-epsilon.de)

---

# Inhalt

<b>1.</b>	<b>Sicherheit.....</b>	<b>5</b>
1.1	Verwendete Zeichen .....	5
1.2	Warnhinweise.....	5
1.3	Bestimmungsgemäßes Umfeld .....	5
<b>2.</b>	<b>Lieferumfang.....</b>	<b>5</b>
<b>3.</b>	<b>Systemanforderungen.....</b>	<b>6</b>
<b>4.</b>	<b>Technische Daten .....</b>	<b>6</b>
4.1	IF2008/PCIe Basiskarte.....	6
4.2	IF2008E Erweiterungskarte.....	6
<b>5.</b>	<b>Installation der IF2008/PCIe .....</b>	<b>7</b>
<b>6.</b>	<b>Installation der Gerätetreiber, Windows 10.....</b>	<b>8</b>
<b>7.</b>	<b>Hardware .....</b>	<b>9</b>
7.1	Ansicht IF2008/PCIe Basiskarte.....	9
7.2	Ansicht IF2008E Erweiterungskarte.....	10
<b>8.</b>	<b>Steckerbelegung und Jumperstellung.....</b>	<b>11</b>
8.1	Sensor-Interface .....	11
8.2	Encoder-Interface (IF2008/PCIe X3) .....	11
8.3	Sensor-Power (IF2008/PCIe X7) .....	12
8.4	IO-Interface (IF2008E X2) .....	12
8.5	Analog-Interface (IF2008E X3).....	12
8.6	Jumper-/Schalterstellung für Trigger-Level.....	13
8.7	Schalterstellung für ADC-Level.....	14

---

<b>9.</b>	<b>Adressbelegung .....</b>	<b>14</b>
9.1	PCI-Interface.....	14
9.2	Lokale Adressbelegung .....	15
<b>10.</b>	<b>Register-Beschreibung .....</b>	<b>16</b>
10.1	Sende-Register .....	16
10.2	Fifo-Daten.....	17
10.3	Set- / Reset- / Latch-Register .....	18
10.4	FIFO-Volumen .....	19
10.5	FIFO-Enable-Register .....	19
10.6	Interrupt-Enable-Register.....	20
10.7	Interrupt-Status-Register.....	20
10.8	Sensor Baud-Rate.....	21
<b>10.9</b>	<b>Zähler-Kontrollregister.....</b>	<b>21</b>
10.10	Zähler Preload.....	24
10.11	Zählerwert .....	24
10.12	Timer .....	24
10.13	ADC .....	25
10.14	Status .....	25
10.15	Input und Status Sensor-Powerswitch.....	26
10.16	Output-Register.....	27
10.17	Mode Opto- und TxD-Ausgänge .....	28
10.18	Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch .....	29
10.19	ADC-Kontrollregister .....	31
10.20	Parity-Enable-Register .....	33
10.21	Parity-Error-Register.....	33
<b>11.</b>	<b>Verdrahtungsempfehlung .....</b>	<b>34</b>
11.1	Sensor ILD1420.....	34
11.2	Sensor ILD1750.....	35
11.3	Sensor ILD2300.....	36
11.4	Encoder-Interface.....	37
11.5	Optokoppler I/O .....	38
<b>12.</b>	<b>Haftung für Sachmängel .....</b>	<b>39</b>
<b>13.</b>	<b>Außerbetriebnahme, Entsorgung .....</b>	<b>39</b>

## 1. Sicherheit

Die Handhabung der Karte setzt die Kenntnis der Montageanleitung voraus.

### 1.1 Verwendete Zeichen

In dieser Montageanleitung werden folgende Bezeichnungen verwendet:

**HINWEIS**

Zeigt eine Situation an, die zu Sachschäden führen kann, falls diese nicht vermieden wird.



Zeigt eine ausführende Tätigkeit an.



Zeigt einen Anwendertipp an.

### 1.2 Warnhinweise

Statische Aufladung kann elektronische Geräte beschädigen. Vor der Installation der Interfacekarte(n) sollten Sie die statische Aufladung Ihres eigenen Körpers entladen. Berühren Sie dazu eine geerdete Oberfläche, zum Beispiel das Metallgehäuse Ihres Computers.

> Beschädigung oder Zerstörung der Karte.

**HINWEIS**

### 1.3 Bestimmungsgemäßes Umfeld

- Temperaturbereich
  - Betrieb: 5 ... +40 °C
  - Lagerung: -10 ... +40 °C
- Luftfeuchtigkeit: 5 - 95 % (nicht kondensierend)
- Umgebungsdruck: Atmosphärendruck

## 2. Lieferumfang

- 1 IF2008/PCIe und/oder IF2008E-Schnittstellenkarte
- 1 Montageanleitung
- 1 CD-ROM mit Softwarepaket und Treiber für Windows ®10
- 1 Adapter für Stromversorgung



Prüfen Sie die Lieferung nach dem Auspacken sofort auf Vollständigkeit und Transportschäden. Bei Schäden oder Unvollständigkeit wenden Sie sich bitte sofort an MICRO-EPSILON oder Ihren Lieferanten.

### 3. Systemanforderungen

- Prozessor (CPU) mit 1 GHz Taktrate oder schneller
- 2 GB RAM
- Windows ® 7 (32/64 Bit), Windows ® 10 (32/64 Bit)
- Freier PCIe-Steckplatz
- Min. 10 MB freier Speicherplatz auf der Festplatte

### 4. Technische Daten

#### 4.1 IF2008/PCIe Basiskarte

##### Mechanik und Umgebung

- Abmessungen Leiterplatte: ca. 110 x 105 mm, 1 Slot breit
- maximal zulässige Umgebungstemperatur: +40 °C
- zwei D-Sub Buchsenleisten HD 15-polig für Sensoranschlüsse
- eine D-Sub Stiftleiste HD 15-polig für Encoder-Signale
- ein Tyco/AMP Commercial MATE-N-LOK Stecker (IDE-Festplattenstecker) für Versorgung DC-/DC-Wandler
- drei Buchsenleisten Tyco/AMP MicroMatch für Verbindung zur IF2008E

##### PCI-Express-Bus

- PCI-Express x1 Interface
- Target Interface (Slave) nach Spezifikation Rev. 1.0
- Stromaufnahme an +3,3 Volt ca. 0,5 A, ohne Sensoren und Encoder
- Spannungsversorgung der Encoder mit +5 Volt aus der PCI-Versorgung
- Spannungsversorgung der Sensoren mit +24 Volt aus dem PC-Netzteil

##### Sensor-Interface (X1 / X2)

- vier RS422-Driver (2x TxD und 2x Trigger-Out) sowie zwei RS422-Receiver pro Stecker (Ein- / Ausgangsfrequenz max. 5 MHz)
- Spannungsversorgung der Sensoren mit 24 V

##### Encoder-Interface (X3)

- Interface für zwei Encoder mit 1 Vss-, RS422- (Differenz-) oder TTL- (single-ended) Signalen
- Spannungsversorgung der Encoder mit +5 V aus PCI-Versorgung ohne galvanischer Trennung (Stromaufnahme abhängig von den angeschlossenen Encodern)
- Interpolation programmierbar von 1- bis 64-fach bei Encodern mit 1 Vss-Signalen (Eingangsfrequenz max. = [3,2 MHz / Interpolation] ≤ 800 kHz)
- Auswertung programmierbar von 1- bis 4-fach bei Encodern mit:
  - RS422- / Differenz-Signalen (Eingangsfrequenz max. = 800 kHz)
  - TTL- / Single-Ended-Signalen (Eingangsfrequenz max. = 400 kHz)

#### 4.2 IF2008E Erweiterungskarte

##### Mechanik und Umgebung

- Abmessungen Leiterplatte: ca. 71 x 102 mm, 1 Slot breit
- Maximal zulässige Umgebungstemperatur: +40 °C
- Eine D-Sub Buchsenleiste HD 15-polig für Sensoranschlüsse
- Eine D-Sub Buchsenleiste 9-polig für I/O-Interface
- Eine D-Sub Stiftleiste 9-polig für Analogeingänge
- Drei Buchsenleisten MicroMatch für Verbindung zur IF2008/PCIe

### Sensor-Interface (X1)

- Identisch mit IF2008/PCle (X1)

### I/O-Interface (X2)

- 4 Optokoppler-Eingänge, Eingangsstrom max. 5 mA, Eingangsfrequenz max. 1 MHz
- 4 Optokoppler-Ausgänge, Ausgangsstrom max. 20 mA, Ausgangsfrequenz max. 1 MHz

## 5. Installation der IF2008/PCle

Führen Sie zur Installation der IF2008/PCle folgende Schritte aus:

- ➔ Schalten Sie Ihren Computer und alle Peripheriegeräte aus. Ziehen Sie die Netzkabel aus der Steckdose.
- ➔ Öffnen Sie das Gehäuse Ihres Computers. Einzelheiten finden Sie in Ihrem Computer-Handbuch.
- ➔ Suchen Sie einen freien PCI-Erweiterungssteckplatz für die IF2008/PCle-Karte. Entfernen Sie die Steckplatzabdeckung, halten Sie die Karte an der oberen Kante fest und drücken Sie die Karte vorsichtig in den Steckplatz. Schrauben Sie die Karte an der Halterung fest.

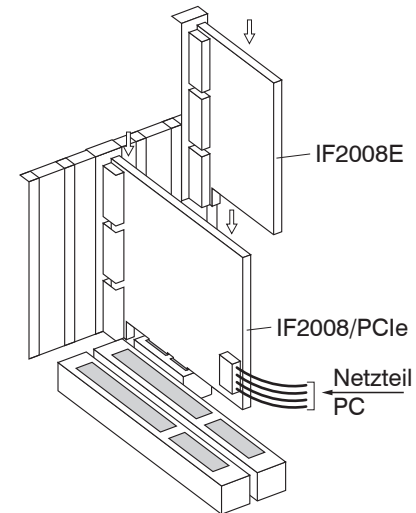
**i** IF2008/PCle benötigt Versorgung durch PC!

- ➔ Verbinden Sie einen Anschluss des Netzteils im PC mit X7. Sie stellen damit die notwendige Versorgung des DC-DC-Wandlers der IF2008/PCle her.
- ➔ Schrauben Sie die IF2008E an einer freien Halterung fest. Verdrahten Sie die IF2008/PCle und IF2008E miteinander. Verbinden Sie mit den im Lieferumfang enthaltenen Kabeln die Steckerleisten gleicher Nummerierung, also X4 mit X4, X5 mit X5 und X6 mit X6.

### Analog-Interface (X3)

- zwei ADC-Wandler-Kanäle
- Eingangsspannungsbereich 0-5 V, 0-10 V,  $\pm 5$  V,  $\pm 10$  V getrennt einstellbar für jeden Kanal über DIP-Schalter
- Auflösung 16 Bit
- Offsetfehler max.  $\pm 3$  mV
- Verstärkungsfehler max.  $\pm 5$  mV
- Wandlungsrate max. 150 kHz pro Kanal

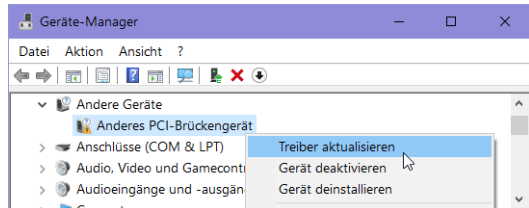
- ➔ Schließen Sie das Gehäuse Ihres Computers und schalten Sie den Computer und die Peripheriegeräte wieder ein.



## 6. Installation der Gerätetreiber, Windows 10

Die Installation eines Treibers ist evtl. durch Ihre IT-Abteilung reglementiert. Installieren Sie Treiber zusammen mit Ihrer IT-Abteilung oder lassen Sie auf Ihrem PC ein zeitbegrenztes Adminrecht einrichten.

Die nachfolgenden Hinweise beschreiben die Installation des Treibers über den Gerätemanager.

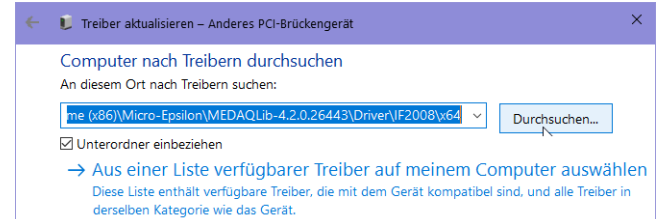


Starten Sie den Gerätemanager und klicken Sie auf den Eintrag **Treiber aktualisieren**.

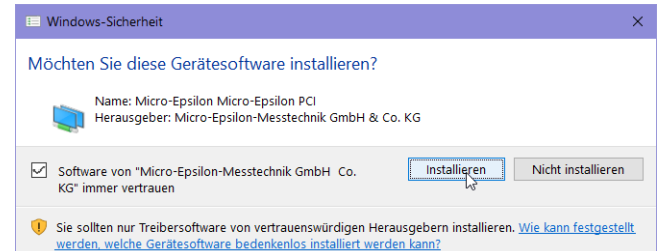


Wählen Sie **Auf dem Computer nach Treibersoftware suchen**.

Kopieren Sie die Treiberdatei in den Pfad zur MEDAQLib <...Driver/IF2008>.

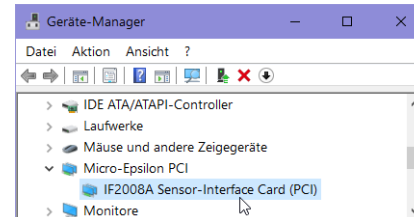


Klicken Sie auf die Schaltfläche **Durchsuchen** und geben Sie den Pfad zur Treiberdatei an. Setzen Sie den Haken für **Unterordner einbeziehen**.



Setzen Sie den Haken für **Software von ... vertrauen**, klicken Sie auf die Schaltfläche **Installieren**.

Das Betriebssystem meldet die erfolgreiche Installation des Treibers, der Gerätemanager listet die Interfacekarte.





## 7. Hardware

### 7.1 Ansicht IF2008/PCIe Basiskarte

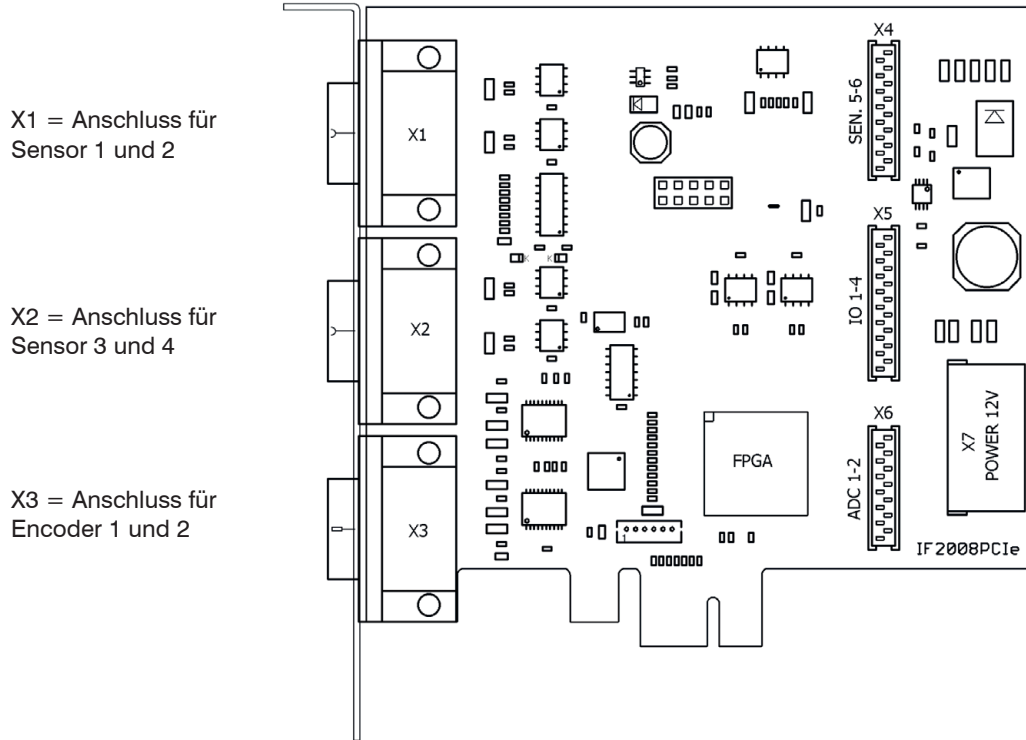


Abb. 1: Platinenansicht IF2008/PCIe Basiskarte

## 7.2 Ansicht IF2008E Erweiterungskarte

X1 = Anschluss für  
Sensor 5 und 6

X2 = Anschluss für  
I/O-Signale

X3 = Anschluss für  
Analog/Digital-Wandler

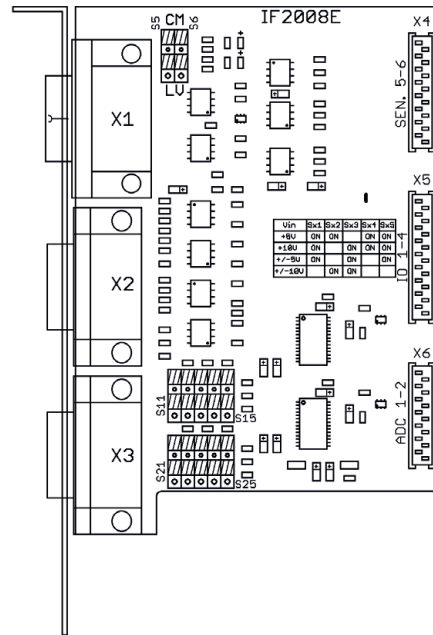


Abb. 2: Platinenansicht IF2008E Erweiterungskarte

X4 ... X6 = Anschluss für Verbindung zur IF2008/PCIE

S5 u. S6 = Schalter für positiven Trigger-Level

S11 ... S15 = Schalter für ADC-Level 1

S21 ... S25 = Schalter für ADC-Level 2

## 8. Steckerbelegung und Jumperstellung

### 8.1 Sensor-Interface

IF2008/PCIe X1 und X2, IF2008E X1

Pin	Signal
1	Sensor 1 TxD-
2	Sensor 1 TxD+
3	Sensor 1 RxD-
4	Sensor 1 RxD+
5	Spannungsversorgung 0 V
6	Sensor 1 TRG+
7	Sensor 1 TRG-
8	Sensor 2 TRG+
9	Sensor 2 TRG-
10	Spannungsversorgung +24 V
11	Sensor 2 TxD-
12	Sensor 2 TxD+
13	Sensor 2 RxD-
14	Sensor 2 RxD+
15	GND

Abb. 3: Steckerbelegung Sensor-Interface

### 8.2 Encoder-Interface (IF2008/PCIe X3)

Pin	Funktion
1	Encoder 1 Spur A+
2	Encoder 1 Spur A-
3	Encoder 2 Spur A+
4	Encoder 2 Spur A-
5	VCC (+5 V)
6	Encoder 1 Spur B+
7	Encoder 1 Spur B-
8	Encoder 2 Spur B+
9	Encoder 2 Spur B-
10	GND
11	Encoder 1 Spur R+
12	Encoder 1 Spur R-
13	Encoder 2 Spur R+
14	Encoder 2 Spur R-
15	GND

Abb. 4: Steckerbelegung Encoder-Interface

**i** Die Steckerbelegung ist mit der IF2004B nicht kompatibel!

**8.3 Sensor-Power (IF2008/PCIe X7)**

Pin	Funktion
1	+12 V
2	GND
3	GND
4	NC

*Abb. 5: Steckerbelegung Sensor-Power***8.4 IO-Interface (IF2008E X2)**

Pin	Funktion
1	OUT 1
2	OUT 2
3	OUT 3
4	OUT 4
5	GND
6	IN 1
7	IN 2
8	IN 3
9	IN 4

*Abb. 6: Steckerbelegung IO-Interface***8.5 Analog-Interface (IF2008E X3)**

Pin	Funktion
1	Eingangssignal 1
2	Analog GND
3	Eingangssignal 2
4	Analog GND
5	NC
6	NC
7	NC
8	NC
9	NC

*Abb. 7: Steckerbelegung Analog-Interface*

## 8.6 Jumper-/Schalterstellung für Trigger-Level

Mit den Schaltern S5 bis S6 (IF2008E) kann der positive Trigger-Level für die Sensorkanäle 5 und 6 (IF2008E) selektiert werden. Der negative Ausgang hat immer LVDS-Level.

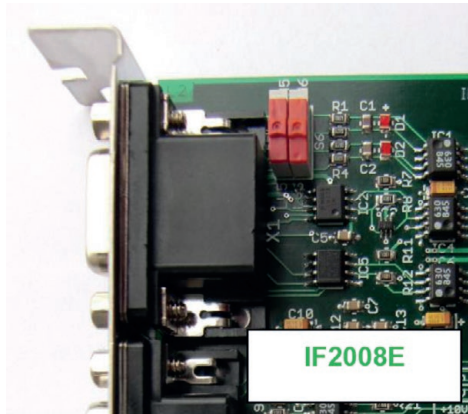


Abb. 8: Schalterstellungen Trigger-Level IF2008E

Schalter	Stellung	Trigger-Ausgang +
S5 bis S6	LVn	LVDS-Level für Sensor n TRG+
	CMn	3,3 V CMOS-Level für Sensor n TRG+

Abb. 9: Schalterstellungen Trigger-Level

## 8.7 Schalterstellung für ADC-Level

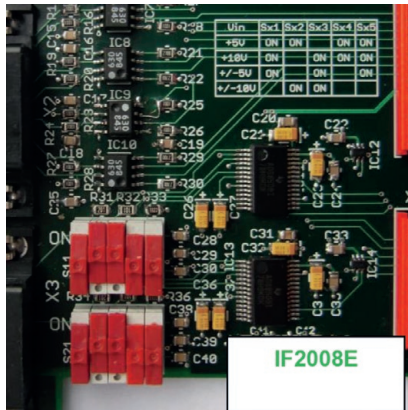


Abb. 10: Schalterstellungen ADC-Level für ±10 V

VIN	Sx1	Sx2	Sx3	Sx4	Sx5
0-5 V	ON	ON		ON	ON
0-10 V	ON		ON	ON	ON
±5 V	ON		ON		ON
±10 V		ON	ON		

Abb. 11: Schalterstellungen ADC-Level

## 9. Adressbelegung

### 9.1 PCI-Interface

Interface: PCI-Express x1 Interface

Zugriff: Memory-Space 40 Hex-Adressen

Basis-Adresse: Vergabe automatisch durch Betriebssystem

Adr.	Byte 3	Byte 2	Byte 1	Byte 0	Wert (Hex)
00h	Device ID		Vendor ID		1910 1204
18h	Base Address Local Memory Space				xxxx xxxx
2C	Subsystem ID		Subsystem Vendor ID		2008 1204

Abb. 12: Header-Configuration

## 9.2 Lokale Adressbelegung

<b>Basis-Adr. +</b>	<b>Schreibzugriff</b>	<b>Lesezugriff</b>
00h	Sende-Register	FIFO-Daten
02h	Set- / Reset- / Latch-Register	FIFO-Volumen
04h	FIFO-Enable-Register	FIFO-Enable-Register
06h	Interrupt-Enable-Register	Interrupt-Status-Register
08h	Sensor 1 Baud-Rate	reserviert
0Ah	Sensor 2 Baud-Rate	reserviert
0Ch	Sensor 3 Baud-Rate	reserviert
0Eh	Sensor 4 Baud-Rate	reserviert
10h	Sensor 5 Baud-Rate	reserviert
12h	Sensor 6 Baud-Rate	reserviert
14h	Zähler-Kontrollregister 1	Zähler-Kontrollregister 1
16h	Zähler-Kontrollregister 2	Zähler-Kontrollregister 2
18h	Zähler 1 Preload LSW	Zählerwert 1 LSW
1Ah	Zähler 1 Preload MSW	Zählerwert 1 MSW
1Ch	Zähler 2 Preload LSW	Zählerwert 2 LSW
1Eh	Zähler 2 Preload MSW	Zählerwert 2 MSW
20h	Timer 1 Frequenz	ADC 1
22h	Timer 1 Pulsweite	ADC 2
24h	Timer 2 Frequenz	Status, FPGA- / Hardware-Version
26h	Timer 2 Pulsweite	Input und Status Powerswitch
28h	Timer 3 Frequenz	reserviert
2Ah	Timer 3 Pulsweite	reserviert

Basis-Adr. +	Schreibzugriff	Lesezugriff
2Ch	Timer Clock-Teiler	Timer Clock-Teiler
2Eh	Output-Register	Output-Register
30h	Mode Opto- und TxD-Ausgänge	Mode Opto- und TxD-Ausgänge
32h	Mode Trigger-Ausgänge	Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch
34h	ADC-Kontrollregister	ADC-Kontrollregister
36h	Parity-Enable-Register	Parity-Error

Abb. 13: Lokale Adress-Belegung

## 10. Register-Beschreibung

### 10.1 Sende-Register

Basisadr. + 00h (Schreibzugriff)

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			S6	S5	S4	S3	S2	S1	D7	D6	D5	D4	D3	D2	D1	D0
	Selektierung Sensor-Kanal							Daten-Bits								

Abb. 14: Sende-Register

Bit 0 bis 7 beinhalten die Daten für das Sende-Register

Bit 8 bis 15 selektieren den Sensor-Kanal

Bit 8 = 1 > Daten werden am Sensor-Kanal S1 ausgegeben

Bit 9 = 1 > Daten werden am Sensor-Kanal S2 ausgegeben usw.

Bit 13 = 1 > Daten werden am Sensor-Kanal 6 ausgegeben

Bit 14 ... 15 > frei

Unmittelbar nach einem Schreibzugriff auf die Adresse "0" werden die Daten zu dem unter Bit 8 bis 13 selektierten Sensor-Kanal übertragen. Die Baud-Rate für das Sende-Register wird automatisch dem selektierten Sensor-Kanal angepasst. Erfolgt die Datenausgabe gleichzeitig auf mehreren Kanälen, so wird die Baud-Rate des hochwertigsten Kanals verwendet.



## 10.2 Fifo-Daten

Basisadr. + 00h (Lesezugriff)

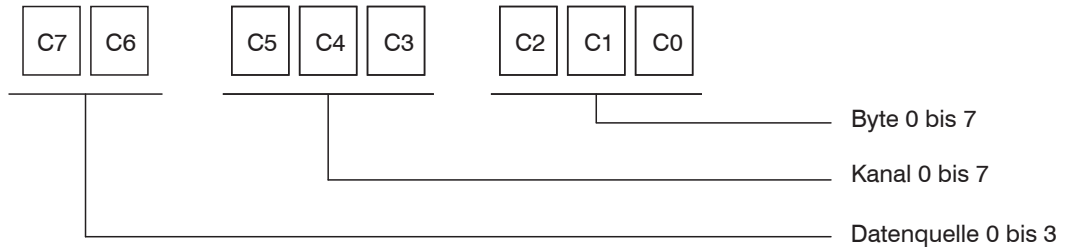
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C7	C6	C5	C4	C3	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
	Code-Bits								Daten-Bits							

Abb. 15: FIFO-Datenspeicher

Bit 0 bis 7 beinhaltet die gepufferten Daten

Bit 7 bis 15 kennzeichnen den Datencode

### Code-Bits



C7	C6	Datenquelle
0	0	Sensor
0	1	Encoder
1	0	Schalteingang (IN 1 ... 4 > Kanal 0, RxD 1 ... 6 > Kanal 1)
1	1	ADC

Abb. 16: FIFO-Datenspeicher - Datenquellen

### 10.3 Set- / Reset- / Latch-Register

Basisadr. + 02h (Schreibzugriff)

Bit	Funktion
0	Zähler 1 löschen
1	Zähler 1 laden
2	Zähler 1 latchen
3	Zähler 1 referenzieren
4	Zähler 2 löschen
5	Zähler 2 laden
6	Zähler 2 latchen
7	Zähler 2 referenzieren
8	ADC1 Konvertierung starten
9	ADC2 Konvertierung starten
10	FIFO löschen
11 – 15	reserviert

Abb. 17: Set- / Reset- / Latch-Register

**i** Mit den Bits 0 bis 2 und 4 bis 6 können die Zähler unabhängig vom Zähler-Kontrollregister (Adr. 14h und Adr. 16h) per Software gelöscht, geladen oder der Zählerstand ins Latch-Register übernommen werden.

Wird mit dem Zähler-Kontrollregister (Adr. 14h und Adr. 16h) eine Zählerlatch- oder Lade-Funktion eingestellt die nur in Verbindung mit einer Referenzmarke ausgeführt werden soll, so muss diese vorher durch Setzen von Bit 3 bzw. Bit 7 freigegeben werden. Durch das Setzen von Bit 3 bzw. Bit 7 werden die Statusbits 0 und 1 bzw. 2 und 3 zurückgesetzt.

Alle Bits müssen nur gesetzt werden, ein Rücksetzen ist nicht notwendig.

Nach einer Stromunterbrechung werden alle Bits auf "0" gesetzt.

## 10.4 FIFO-Volumen

Basisadr. + 02h (Lesezugriff)

Bit	Funktion
0 bis 14	FIFO-Datenvolumen (0 bis 32767)
15	immer 0

Abb. 18: FIFO-Volumen

Nach jedem Empfang eines Datensatzes wird dieser automatisch in den FIFO-Datenspeicher übertragen. Durch Abfrage des FIFO-Volumens kann die Datenfülle des FIFO ermittelt werden. Die Reihenfolge und Geschwindigkeit für das Puffern der empfangenen Daten ist identisch mit dem Datenstrom der Empfangs-Register. Wird der FIFO nicht schnell genug ausgelesen, so stehen in diesem die zuletzt empfangenen 32768 Datensätze.

## 10.5 FIFO-Enable-Register

Basisadr. + 04h (Schreib- und Lesezugriff)

Bit	Funktion
0	0 = FIFO für Sensor-Kanal 1 gesperrt 1 = FIFO für Sensor-Kanal 1 freigegeben
1	0 = FIFO für Sensor-Kanal 2 gesperrt 1 = FIFO für Sensor-Kanal 2 freigegeben
2	0 = FIFO für Sensor-Kanal 3 gesperrt 1 = FIFO für Sensor-Kanal 3 freigegeben
3	0 = FIFO für Sensor-Kanal 4 gesperrt 1 = FIFO für Sensor-Kanal 4 freigegeben
4	0 = FIFO für Sensor-Kanal 5 gesperrt 1 = FIFO für Sensor-Kanal 5 freigegeben

Bit	Funktion
5	0 = FIFO für Sensor-Kanal 6 gesperrt 1 = FIFO für Sensor-Kanal 6 freigegeben
6	0 = FIFO für Encoder-Kanal 1 gesperrt 1 = FIFO für Encoder-Kanal 1 freigegeben
7	0 = FIFO für Encoder-Kanal 2 gesperrt 1 = FIFO für Encoder-Kanal 2 freigegeben
8	0 = FIFO für Status der externen Eingänge IN 1..4 gesperrt 1 = FIFO für Status der externen Eingänge IN 1..4 freigegeben
9	0 = FIFO für Status der RxD-Eingänge (Sensor 1..6) gesperrt 1 = FIFO für Status der RxD-Eingänge (Sensor 1..6) freigegeben
10	0 = FIFO für ADC 1 gesperrt 1 = FIFO für ADC 1 freigegeben
11	0 = FIFO für ADC 2 gesperrt 1 = FIFO für ADC 2 freigegeben
12	0 = FIFO wird bei aktivem, ext. Eingang IN 1 für Sensor 1 und 2 gesperrt 1 = IN 1 hat keinen Einfluss auf FIFO
13	0 = FIFO wird bei aktivem, ext. Eingang IN 2 für Sensor 3 bis 6 gesperrt 1 = IN 2 hat keinen Einfluss auf FIFO
14	0 = FIFO wird bei aktivem, ext. Eingang IN 3 für Encoder 1 und 2 gesperrt 1 = IN 3 hat keinen Einfluss auf FIFO
15	0 = FIFO wird bei aktivem, ext. Eingang IN 4 für ADC 1/2; IN 1..4; RxD 1..6 gesperrt 1 = IN 4 hat keinen Einfluss auf FIFO

Abb. 19: FIFO-Enable-Register

## 10.6 Interrupt-Enable-Register

Basisadr. + 06h (Schreibzugriff)

Bit	Funktion
0	1 = Enable Interrupt-Anforderung wenn FIFO mehr als 50 % gefüllt ist
1	1 = Enable Interrupt- Anforderung wenn FIFO mehr als 75 % gefüllt ist
2	1 = Enable Interrupt- Anforderung bei Überlauf Timer 1
3	1 = Enable Interrupt- Anforderung bei Überlauf Timer 2
4	1 = Enable Interrupt- Anforderung bei Überlauf Timer 3
5	1 = Enable Interrupt- Anforderung wenn externer Eingang IN 1 aktiviert wird
6	1 = Enable Interrupt- Anforderung wenn externer Eingang IN 2 aktiviert wird
7	1 = Enable Interrupt- Anforderung wenn externer Eingang IN 3 aktiviert wird
8	1 = Enable Interrupt- Anforderung wenn externer Eingang IN 4 aktiviert wird
9 - 15	reserviert

Abb. 20: Interrupt-Enable-Register

**i** Die Interrupt-Generierung ist flankengetriggert, d. h. eine Interrupt-Anforderung erfolgt nur wenn im Interrupt-Enable-Register das entsprechende Bit gesetzt ist und die dazugehörige Quelle vom inaktiven in den aktiven Zustand wechselt. Es können gleichzeitig mehrere Bits gesetzt sein.

## 10.7 Interrupt-Status-Register

Basisadr. + 06h (Lesezugriff)

Bit	Funktion
0	1 = Interrupt-Anforderung durch FIFO-Füllstand mehr als 50 %
1	1 = Interrupt-Anforderung durch FIFO-Füllstand mehr als 75 %
2	1 = Interrupt-Anforderung durch Überlauf Timer 1
3	1 = Interrupt-Anforderung durch Überlauf Timer 2
4	1 = Interrupt-Anforderung durch Überlauf Timer 3
5	1 = Interrupt-Anforderung durch Aktivierung des externen Eingang IN 1
6	1 = Interrupt-Anforderung durch Aktivierung des externen Eingang IN 2
7	1 = Interrupt-Anforderung durch Aktivierung des externen Eingang IN 3
8	1 = Interrupt-Anforderung durch Aktivierung des externen Eingang IN 4
9 - 15	reserviert

Abb. 21: Interrupt-Status-Register

**i** Das Interrupt-Status-Register gibt Auskunft, durch welche Quelle(n) die Interrupt-Anforderung erfolgte. Eine Interrupt-Anforderung kann auch gleichzeitig durch mehrere Quellen erfolgen. Ist kein Status-Bit gesetzt, so wurde die Interrupt-Anforderung nicht durch die IF2008/PCIe generiert, sondern durch eine andere Hardware.

## 10.8 Sensor Baud-Rate

Basisadr.	Sensor-Kanal	Value	Zugriff
+ 08h	1	1 bis 65.535	nur Schreibzugriff
+ 0Ah	2	1 bis 65.535	nur Schreibzugriff
+ 0Ch	3	1 bis 65.535	nur Schreibzugriff
+ 0Eh	4	1 bis 65.535	nur Schreibzugriff
+ 10h	5	1 bis 65.535	nur Schreibzugriff
+ 12h	6	1 bis 65.535	nur Schreibzugriff

Abb. 22: Basis-Adressen für Sensor Baud-Raten

Value = (48 MHz / Baud-Raten) - 1

### Beispiel:

Gewünschte Baud-Rate = 691,2 kBaud

Value = (48 MHz / 691.200) - 1) = 68,44

Der Eingabewert muss ein ganzzahliger Wert sein, d.h. das Ergebnis muss noch gerundet werden:

> Value = 68

## 10.9 Zähler-Kontrollregister

Basisadr.	Zähler-Kanal	Bit	Zugriff
+ 14h	1	0 bis 15	Schreib- und Lesezugriff
+ 16h	2	0 bis 15	Schreib- und Lesezugriff

Abb. 23: Basis-Adressen für Zähler-Kontrollregister

Die nachfolgenden Tabellen sind identisch für beide Zählerkanäle!

### Funktionsübersicht:

Bit	Funktion
0 bis 3	Interpolation (siehe Tabelle 21: Encoder Interpolation)
4	Zählrichtung (siehe Tabelle 22: Encoder Zählrichtung)
5 bis 7	Zähler-Mode (siehe Tabelle 23: Zähler-Mode)
8 bis 11	Latch-Source (siehe Tabelle 24: Zähler Latch-Source)
12 bis 15	reserviert

Abb. 24: Funktionsübersicht für Zähler-Kontrollregister

### Interpolation Encoder

Bit 3	Bit 2	Bit 1	Bit 0	Interpolation
0	0	0	0	1
0	0	0	1	2
0	0	1	0	3
0	0	1	1	4
0	1	0	0	5
0	1	0	1	6
0	1	1	0	8
0	1	1	1	10
1	0	0	0	12
1	0	0	1	16
1	0	1	0	20
1	0	1	1	24
1	1	0	0	32
1	1	0	1	40
1	1	1	0	48
1	1	1	1	64

Abb. 25: Interpolation Encoder

**i** Für Encoder mit 1 Vss-Signalen eignen sich alle Interpolationen. Für Encoder mit TTL-Signalen eignet sich nur die 1-, 2- oder 4-fach Interpolation.

### Zählrichtung

Bit 4	Zählrichtung
0	normal
1	invers

Abb. 26: Encoder Zählrichtung

### Zähler-Mode:

Bit 7	Bit 6	Bit 5	Zähler-Mode	
0	0	0	keine Zählerlade- / Löschfunktion durch Encoder-Referenzmarken	
0	0	1	Zähler wird mit der nächsten Encoder-Referenzmarke geladen sofern Statusbit 0 bzw. Statusbit 2 „0“ ist.	
0	1	0	Zähler wird mit allen Encoder-Referenzmarken mit dem Inhalt der Laderegister geladen. Statusbit 0 bis 3 haben keine Auswirkung	
0	1	1	Zähler wird mit allen Encoder-Referenzmarken gelöscht und zusätzlich mit dem Inhalt des Laderegisters geladen, wenn der Zählerstand von -1 erreicht wurde. Diese Funktion dient zur Zählerbegrenzung, wobei das Zähler-Laderegister mit der Anzahl der zu begrenzenden Inkremente -1 vorbelegt werden muss.	
1	0	0	Zähler ohne Phasendiskriminator (Ereigniszähler)	
			<b>Bit 4</b> <b>Funktion</b>	
			0	Spur A = Zählrichtungssignal
				Spur B = Zählertaktsignal
			1	Spur A = Zählertaktsignal
				Spur B = Zählrichtungssignal
1	0	1	reserviert	
1	1	0	reserviert	
1	1	1	reserviert	

Abb. 27: Zähler-Mode

**Latch-Source:**

Bit 11	Bit 10	Bit 9	Bit 8	Latch-Source
0	0	0	0	Hardware-Latch gesperrt
0	0	0	1	Timer 1
0	0	1	0	Timer 2
0	0	1	1	Timer 3
0	1	0	0	Sensor-Kanal 1
0	1	0	1	Sensor-Kanal 2
0	1	1	0	Sensor-Kanal 3
0	1	1	1	Sensor-Kanal 4
1	0	0	0	Sensor-Kanal 5
Bit 11	Bit 10	Bit 9	Bit 8	Latch-Source
1	0	0	1	Sensor-Kanal 6
1	0	1	0	IN 1 (nur mit Erweiterungskarte IF2008E)
1	0	1	1	IN 2 (nur mit Erweiterungskarte IF2008E)
1	1	0	0	IN 3 (nur mit Erweiterungskarte IF2008E)
1	1	0	1	IN 4 (nur mit Erweiterungskarte IF2008E)
1	1	1	0	2. Referenzmarke
1	1	1	1	alle Referenzmarken

Abb. 28: Zähler Latch-Source

## 10.10 Zähler Preload

Basisadr.	Zähler-Kanal	Value	Zugriff
+ 18h	1 LSW	0 bis 65.535	nur Schreibzugriff
+ 1Ah	1 MSW	0 bis 65.535	nur Schreibzugriff
+ 1Ch	2 LSW	0 bis 65.535	nur Schreibzugriff
+ 1Eh	2 MSW	0 bis 65.535	nur Schreibzugriff

Abb. 29: Basis-Adressen für Zähler Preload

## 10.11 Zählerwert

Basisadr.	Zähler-Kanal	Value	Zugriff
+ 18h	1 LSW	0 bis 65.535	nur Lesezugriff
+ 1Ah	1 MSW	0 bis 65.535	nur Lesezugriff
+ 1Ch	2 LSW	0 bis 65.535	nur Lesezugriff
+ 1Eh	2 MSW	0 bis 65.535	nur Lesezugriff

Abb. 30: Basis-Adressen für Zählerwert

## 10.12 Timer

Basisadr.	Zähler-Kanal	Value	Zugriff
+ 20h	1 Frequenz	0 bis 65.535	nur Schreibzugriff
+ 22h	1 Pulsweite	0 bis 65.535	nur Schreibzugriff
+ 24h	2 Frequenz	0 bis 65.535	nur Schreibzugriff
+ 26h	2 Pulsweite	0 bis 65.535	nur Schreibzugriff
+ 28h	3 Frequenz	0 bis 65.535	nur Schreibzugriff
+ 2Ah	3 Pulsweite	0 bis 65.535	nur Schreibzugriff
+ 2Ch	Clock-Teiler	Schreib- und Lesezugriff	

Abb. 31: Basis-Adressen für Timer

$$\text{Value (F)} = (F_{\text{Clock}} / F_{\text{OUT}}) - 1$$

$$\text{Value (PW)} = (PW_{\text{OUT}} / T_{\text{Clock}})$$

### Beispiel:

gewünschte Frequenz  $F_{\text{OUT}} = 10 \text{ kHz}$

gewünschte Pulsweite  $PW_{\text{OUT}} = 25 \mu\text{s}$

Clockteiler = 0 >  $F_{\text{Clock}} = 24 \text{ MHz}$ ,  $T_{\text{Clock}} = 41,667 \text{ ns}$  (Clockteiler siehe nachfolgende Tabelle)

$$\text{Value (F)} = (24 \text{ MHz} / 10\text{kHz}) - 1 = 2399$$

$$\text{Value (PW)} = (25 \mu\text{s} / 41,667 \text{ ns}) = 600$$

Die Eingabewerte müssen ganzzahlig sein!

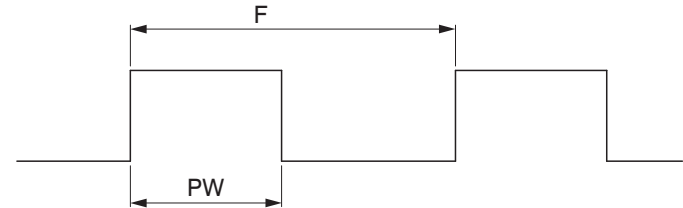


Abb. 32: Timer-Frequenz und Pulsweite

**i** Die Pulsweite hat nur Einfluss auf die Ausgänge „Sensor-Trigger“ und „Optokoppler“ und nicht auf die internen Synchronisations-Signale. Hierfür wird der Timer-Null-durchgang verwendet. Zum Ausschalten des Timers muss die Frequenz mit „0“ programmiert werden. Ist bei ausgeschaltetem Timer die Pulsweite > 0 programmiert, so ist der Ausgang ständig auf High gesetzt. Ist die Pulsweite dagegen auch mit „0“ programmiert, so ist der Ausgang ständig auf Low gesetzt.



**Clock-Teiler:**

Bit 3	Bit 2	Bit 1	Bit 0	Clockfrequenz Timer 1
Bit 7	Bit 6	Bit 5	Bit 4	Clockfrequenz Timer 2
Bit 11	Bit 10	Bit 9	Bit 8	Clockfrequenz Timer 3
0	0	0	0	24 MHz
0	0	0	1	24 MHz / 2
0	0	1	0	24 MHz / 4
0	0	1	1	24 MHz / 8
0	1	0	0	24 MHz / 16
0	1	0	1	24 MHz / 32
0	1	1	0	24 MHz / 64
0	1	1	1	24 MHz / 128
1	0	0	0	24 MHz / 256
1	0	0	1	24 MHz / 512
1	0	1	0	24 MHz / 1024
1	0	1	1	24 MHz / 2048
1	1	0	0	24 MHz / 4096
1	1	0	1	24 MHz / 8192
1	1	1	0	24 MHz / 16384
1	1	1	1	24 MHz / 32768

Abb. 33: Timer Clock-Teiler

**i** Bit 12 und Bit 15 sind reserviert.

**10.13 ADC**

Basisadr.	ADC-Kanal	Value	Zugriff
+ 20h	1	0 bis 65535	nur Lesezugriff
+ 22h	2	0 bis 65535	nur Lesezugriff

Abb. 34: Basis-Adressen für ADC

**10.14 Status**

Basisadr. + 24h (nur Lesezugriff)

Bit	Funktion
0	1 = Encoder 1: 1. Referenzmarke überfahren
1	1 = Encoder 1: 2. Referenzmarke überfahren
2	1 = Encoder 2: 1. Referenzmarke überfahren
3	1 = Encoder 2: 2. Referenzmarke überfahren
4	0 = Transmitter bereit zur Übertragung neuer Daten 1 = Transmitter ist beschäftigt
5	0 = kein Erweiterungsmodul mit Sensor 5 / 6 vorhanden 1 = Erweiterungsmodul mit Sensor 5 / 6 vorhanden
6	0 = kein Erweiterungsmodul für externe I/O vorhanden 1 = Erweiterungsmodul für externe I/O vorhanden
7	0 = kein Erweiterungsmodul mit ADC vorhanden 1 = Erweiterungsmodul mit ADC vorhanden
8 – 13	FPGA-Version
14 – 15	Hardware-Version

Abb. 35: Status

## 10.15 Input und Status Sensor-Powerswitch

Basisadr. + 26h (nur Lesezugriff)

Bit	Funktion
0	1 = ext. Eingang IN 1 aktiv
1	1 = ext. Eingang IN 2 aktiv
2	1 = ext. Eingang IN 3 aktiv
3	1 = ext. Eingang IN 4 aktiv
4	1 = RxD Eingang am Sensoreingang 1 aktiv
5	1 = RxD Eingang am Sensoreingang 2 aktiv
6	1 = RxD Eingang am Sensoreingang 3 aktiv
7	1 = RxD Eingang am Sensoreingang 4 aktiv
8	1 = RxD Eingang am Sensoreingang 5 aktiv
9	1 = RxD Eingang am Sensoreingang 6 aktiv
10	1 = Error Sensor-Powerswitch
11 – 15	Reserviert

Abb. 36: Input und Status Sensor-Powerswitch

## 10.16 Output-Register

Basisadr. + 2Eh (Schreib- und Lesezugriff)

Bit	Funktion	Ausgangssignal
0	0 = OUT 1 OFF Optokoppler gesperrt <sup>1)</sup> 1 = OUT 1 ON Optokoppler leitend	Output 1 = High Output 1 = Low
1	0 = OUT 2 OFF Optokoppler gesperrt <sup>1)</sup> 1 = OUT 2 ON Optokoppler leitend	Output 2 = High Output 2 = Low
2	0 = OUT 3 OFF Optokoppler gesperrt <sup>1)</sup> 1 = OUT 3 ON Optokoppler leitend	Output 3 = High Output 3 = Low
3	0 = OUT 4 OFF Optokoppler gesperrt <sup>1)</sup> 1 = OUT 4 ON Optokoppler leitend	Output 4 = High Output 4 = Low

Bit	Funktion	Ausgangssignal	
4	0 = TxD 1 inaktiv 1 = TxD 1 aktiv	TxD 1+ = High TxD 1+ = Low	TxD 1- = Low TxD 1- = High
5	0 = TxD 2 inaktiv 1 = TxD 2 aktiv	TxD 2+ = High TxD 2+ = Low	TxD 2- = Low TxD 2- = High
6	0 = TxD 3 inaktiv 1 = TxD 3 aktiv	TxD 3+ = High TxD 3+ = Low	TxD 3- = Low TxD 3- = High
7	0 = TxD 4 inaktiv 1 = TxD 4 aktiv	TxD 4+ = High TxD 4+ = Low	TxD 4- = Low TxD 4- = High
8	0 = TxD 5 inaktiv <sup>1)</sup> 1 = TxD 5 aktiv	TxD 5+ = High TxD 5+ = Low	TxD 5- = Low TxD 5- = High
9	0 = TxD 6 inaktiv <sup>1)</sup> 1 = TxD 6 aktiv	TxD 6+ = High TxD 6+ = Low	TxD 6- = Low TxD 6- = High

Bit	Funktion	Ausgangssignal	
10	0 = TRG 1 inaktiv 1 = TRG 1 aktiv	TRG 1+ = Low TRG 1+ = High	TRG 1- = High TRG 1- = Low
11	0 = TRG 2 inaktiv 1 = TRG 2 aktiv	TRG 2+ = Low TRG 2+ = High	TRG 2- = High TRG 2- = Low
12	0 = TRG 3 inaktiv 1 = TRG 3 aktiv	TRG 3+ = Low TRG 3+ = High	TRG 3- = High TRG 3- = Low
13	0 = TRG 4 inaktiv 1 = TRG 4 aktiv	TRG 4+ = Low TRG 4+ = High	TRG 4- = High TRG 4- = Low
14	0 = TRG 5 inaktiv <sup>1)</sup> 1 = TRG 5 aktiv	TRG 5+ = Low TRG 5+ = High	TRG 5- = High TRG 5- = Low
15	0 = TRG 6 inaktiv <sup>1)</sup> 1 = TRG 6 aktiv	TRG 6+ = Low TRG 6+ = High	TRG 6- = High TRG 6- = Low

Abb. 37: Output-Register

**i** Für alle Ausgänge stehen mehrere Signalquellen zur Verfügung. Oben aufgeführte Bits werden nur dann durchgeschaltet, wenn der entsprechende Mode eingestellt ist (siehe Tabelle 33: Mode Opto- und TxD-Ausgänge auf Seite 39).

1) Nur mit Erweiterungskarte möglich.

## 10.17 Mode Opto- und TxD-Ausgänge

Basisadr. + 30h (Schreib- und Lesezugriff)

Bit	Funktion		
0 und 1	<b>Bit1</b>	<b>Bit 0</b>	<b>Funktion</b>
	0	0	Output 1 schaltet mit Adr. 2Eh Bit 0
	0	1	Output 1 schaltet mit Timer 1 Pulsweite
	1	0	Output 1 schaltet mit Timer 2 Pulsweite
	1	1	Output 1 schaltet mit Timer 3 Pulsweite
2 und 3	<b>Bit 3</b>	<b>Bit 2</b>	<b>Funktion</b>
	0	0	Output 2 schaltet mit Adr. 2Eh Bit 1
	0	1	Output 2 schaltet mit Timer 1 Pulsweite
	1	0	Output 2 schaltet mit Timer 2 Pulsweite
	1	1	Output 2 schaltet mit Timer 3 Pulsweite
4 und 5	<b>Bit 5</b>	<b>Bit 4</b>	<b>Funktion</b>
	0	0	Output 3 schaltet mit Adr. 2Eh Bit 2
	0	1	Output 3 schaltet mit Timer 1 Pulsweite
	1	0	Output 3 schaltet mit Timer 2 Pulsweite
	1	1	Output 3 schaltet mit Timer 3 Pulsweite
6 und 7	<b>Bit 7</b>	<b>Bit 6</b>	<b>Funktion</b>
	0	0	Output 4 schaltet mit Adr. 2Eh Bit 3
	0	1	Output 4 schaltet mit Timer 1 Pulsweite
	1	0	Output 4 schaltet mit Timer 2 Pulsweite
	1	1	Output 4 schaltet mit Timer 3 Pulsweite

Bit	Funktion
8	0 = TxD 1 schaltet mit Transmitter 1 = TxD 1 schaltet mit Adr. 2Eh Bit 4
9	0 = TxD 2 schaltet mit Transmitter 1 = TxD 2 schaltet mit Adr. 2Eh Bit 5
10	0 = TxD 3 schaltet mit Transmitter 1 = TxD 3 schaltet mit Adr. 2Eh Bit 6
11	0 = TxD 4 schaltet mit Transmitter 1 = TxD 4 schaltet mit Adr. 2Eh Bit 7
12	0 = TxD 5 schaltet mit Transmitter 1 = TxD 5 schaltet mit Adr. 2Eh Bit 8
13	0 = TxD 6 schaltet mit Transmitter 1 = TxD 6 schaltet mit Adr. 2Eh Bit 9
14-15	reserviert

Abb. 38: Mode Opto- und TxD-Ausgänge

**i** Output 1 bis 4 stehen nur bei der Erweiterungskarte IF2008E zur Verfügung.

**10.18 Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch**

Basisadr. + 32h (Schreib- und Lesezugriff)

<b>Bit</b>	<b>Funktion</b>		
0 und 1	<b>Bit1</b>	<b>Bit 0</b>	<b>Funktion</b>
	0	0	Trigger 1 schaltet mit Adr. 2Eh Bit 10
	0	1	Trigger 1 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 1 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 1 schaltet mit Timer 3 Pulsweite
2 und 3	<b>Bit 3</b>	<b>Bit 2</b>	<b>Funktion</b>
	0	0	Trigger 2 schaltet mit Adr. 2Eh Bit 11
	0	1	Trigger 2 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 2 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 2 schaltet mit Timer 3 Pulsweite
4 und 5	<b>Bit 5</b>	<b>Bit 4</b>	<b>Funktion</b>
	0	0	Trigger 3 schaltet mit Adr. 2Eh Bit 12
	0	1	Trigger 3 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 3 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 3 schaltet mit Timer 3 Pulsweite
6 und 7	<b>Bit 7</b>	<b>Bit 6</b>	<b>Funktion</b>
	0	0	Trigger 4 schaltet mit Adr. 2Eh Bit 13
	0	1	Trigger 4 schaltet mit Timer 1 Pulsweite
	1	0	Trigger 4 schaltet mit Timer 2 Pulsweite
	1	1	Trigger 4 schaltet mit Timer 3 Pulsweite

Bit	Funktion			
8 und 9	<b>Bit 9</b>	<b>Bit 8</b>	<b>Funktion</b>	
	0	0	Trigger 5 schaltet mit Adr. 2Eh Bit 14	
	0	1	Trigger 5 schaltet mit Timer 1 Pulsweite	
	1	0	Trigger 5 schaltet mit Timer 2 Pulsweite	
	1	1	Trigger 5 schaltet mit Timer 3 Pulsweite	
10 und 11	<b>Bit 11</b>	<b>Bit 10</b>	<b>Funktion</b>	
	0	0	Trigger 6 schaltet mit Adr. 2Eh Bit 15	
	0	1	Trigger 6 schaltet mit Timer 1 Pulsweite	
	1	0	Trigger 6 schaltet mit Timer 2 Pulsweite	
	1	1	Trigger 6 schaltet mit Timer 3 Pulsweite	
12-14	<b>Bit 14</b>	<b>Bit 13</b>	<b>Bit 12</b>	<b>Latch-Source</b>
	0	0	0	Hardware-Latch gesperrt
	0	0	1	Timer 1
	0	1	0	Timer 2
	0	1	1	Timer 3
	1	0	0	Sensor-Kanal 1
	1	0	1	Sensor-Kanal 2
	1	1	0	Sensor-Kanal 3
1	1	1	Sensor-Kanal 4	
15	Bit 15 = 0	Sensor-Power ON (Default Wert nach Reset)		
	Bit 15 = 1	Sensor-Power OFF		

Abb. 39: Mode Trigger-Ausgänge, Latch-Source und Sensor-Powerswitch

**i** Mit den Bits 12-14 kann ein Latch-Source selektiert werden, mit dessen Trigger-Ereignis die externen Eingänge (IN1-4) sowie die RxD-Eingänge (Sensor 1-6) in den FIFO geschrieben werden.

**10.19 ADC-Kontrollregister**

<b>Bit 3</b>	<b>Bit 2</b>	<b>Bit 1</b>	<b>Bit 0</b>	<b>Konvertierungs-Source ADC1</b>
<b>Bit 7</b>	<b>Bit 6</b>	<b>Bit 5</b>	<b>Bit 4</b>	<b>Konvertierungs-Source ADC2</b>
0	0	0	0	Hardware-Konvertierung gesperrt
0	0	0	1	Timer 1
0	0	1	0	Timer 2
0	0	1	1	Timer 3
0	1	0	0	Sensor-Kanal 1
0	1	0	1	Sensor-Kanal 2
0	1	1	0	Sensor-Kanal 3
0	1	1	1	Sensor-Kanal 4
1	0	0	0	Sensor-Kanal 5
1	0	0	1	Sensor-Kanal 6
1	0	1	0	IN 1 (nur mit Erweiterungskarte IF2008E)
1	0	1	1	IN 2 (nur mit Erweiterungskarte IF2008E)
1	1	0	0	IN 3 (nur mit Erweiterungskarte IF2008E)
1	1	0	1	IN 4 (nur mit Erweiterungskarte IF2008E)
1	1	1	0	reserviert
1	1	1	1	reserviert

Abb. 40: ADC-Kontrollregister

Bit	Funktion
8	0 = ADC1 Datenausgabe binär 2er-Komplement 1 = ADC1 Datenausgabe binär unkonvertiert
9	0 = ADC2 Datenausgabe binär 2er-Komplement 1 = ADC2 Datenausgabe binär unkonvertiert
10 – 15	reserviert

Abb. 41: ADC-Kontrollregister Bit 8-15

Analog Input				Digital Output	
0 – 5 V	0 – 10 V	+/-5 V	+/-10 V	Binär 2er-Kompliment	Binär unkonvertiert
+4,99 V	+9,99 V	+4,99 V	+9,99 V	7FFF	FFFF
2,5 V	5 V	0 V	0 V	0000	8000
+2,499 V	+4,999 V	-153 $\mu$ V	-305 $\mu$ V	FFFF	7FFF
0 V	0 V	-5 V	-10 V	8000	0000

Abb. 42: ADC-Konvertierungsergebnis



## 10.20 Parity-Enable-Register

Basisadr. + 36h (Schreibzugriff)

Bit	Funktion
0	0 = Parity-Bit für Sensor-Kanal 1 gesperrt 1 = Parity-Bit für Sensor-Kanal 1 freigegeben (nur Even-Parity)
1	0 = Parity-Bit für Sensor-Kanal 2 gesperrt 1 = Parity-Bit für Sensor-Kanal 2 freigegeben (nur Even-Parity)
2	0 = Parity-Bit für Sensor-Kanal 3 gesperrt 1 = Parity-Bit für Sensor-Kanal 3 freigegeben (nur Even-Parity)
3	0 = Parity-Bit für Sensor-Kanal 4 gesperrt 1 = Parity-Bit für Sensor-Kanal 4 freigegeben (nur Even-Parity)
4	0 = Parity-Bit für Sensor-Kanal 5 gesperrt 1 = Parity-Bit für Sensor-Kanal 5 freigegeben (nur Even-Parity)
5	0 = Parity-Bit für Sensor-Kanal 6 gesperrt 1 = Parity-Bit für Sensor-Kanal 6 freigegeben (nur Even-Parity)
6-15	reserviert

Abb. 43: Parity-Enable-Register

## 10.21 Parity-Error-Register

Basisadr. + 36h (Lesezugriff)

Bit	Funktion
0	1 = Parity-Error Sensorkanal 1
1	1 = Parity-Error Sensorkanal 2
2	1 = Parity-Error Sensorkanal 3
3	1 = Parity-Error Sensorkanal 4
4	1 = Parity-Error Sensorkanal 5
5	1 = Parity-Error Sensorkanal 6
6 – 15	reserviert

Abb. 44: Parity-Error-Register

## 11. Verdrahtungsempfehlung

### 11.1 Sensor ILD1420

Pin IF2008/PCle	Signal IF2008/PCle	ILD1420		Signal ILD1420
		Pin Sensor 1	Pin Sensor 2	
1	Sensor 1 TxD-	4		RxD-
2	Sensor 1 TxD+	3		RxD+
3	Sensor 1 RxD-	6		TxD-
4	Sensor 1 RxD+	5		TxD+
5	Spannungsversorgung 0 V	12	12	GND
6	Sensor 1 TRG+	9		TeachIn
7	Sensor 1 TRG-	NC	NC	
8	Sensor 2 TRG+		9	TeachIn
9	Sensor 2 TRG-	NC	NC	
10	Spannungsversorgung +24 V	7	7	+UB
11	Sensor 2 TxD-		4	RxD-
12	Sensor 2 TxD+		3	RxD+
13	Sensor 2 RxD-		6	TxD-
14	Sensor 2 RxD+		5	TxD+
15	GND (galvan. getrennt zu PC-GND)	12	12	GND

Abb. 45: Tabelle 39: Sensorverdrahtung ILD1420

## 11.2 Sensor ILD1750

Pin IF2008/PCle	Signal IF2008/PCle	ILD1750		Signal ILD1750
		Pin Sensor 1	Pin Sensor 2	
1	Sensor 1 TxD-	11		RxD-
2	Sensor 1 TxD+	12		RxD+
3	Sensor 1 RxD-	2		TxD-
4	Sensor 1 RxD+	1		TxD+
5	Spannungsversorgung 0 V	6	6	GND
6	Sensor 1 TRG+	3		TRG+
7	Sensor 1 TRG-	4		TRG-
8	Sensor 2 TRG+		3	TRG+
9	Sensor 2 TRG-		4	TRG-
10	Spannungsversorgung +24 V	5	5	+UB
11	Sensor 2 TxD-		11	RxD-
12	Sensor 2 TxD+		12	RxD+
13	Sensor 2 RxD-		2	TxD-
14	Sensor 2 RxD+		1	TxD+
15	GND (galvan. getrennt zu PC-GND)	6	6	GND

Abb. 46: Sensorverdrahtung ILD1750

**11.3 Sensor ILD2300**

Pin IF2008/PCle	Signal IF2008/PCle	ILD2300		Signal ILD2300
		Pin Sensor 1	Pin Sensor 2	
1	Sensor 1 TxD-	8		RxD-
2	Sensor 1 TxD+	7		RxD+
3	Sensor 1 RxD-	10		TxD-
4	Sensor 1 RxD+	9		TxD+
5	Spannungsversorgung 0 V	2	2	Versorgung Masse
6	Sensor 1 TRG+	5		SyncIn+
7	Sensor 1 TRG-	6		
8	Sensor 2 TRG+		5	SyncIn+
9	Sensor 2 TRG-		6	
10	Spannungsversorgung +24 V	1	1	+UB
11	Sensor 2 TxD-		8	RxD-
12	Sensor 2 TxD+		7	RxD+
13	Sensor 2 RxD-		10	TxD-
14	Sensor 2 RxD+		9	TxD+
15	GND (galvanisch getrennt zu PC-GND)	2	2	SyncIn-

Abb. 47: Sensorverdrahtung ILD2300

## 11.4 Encoder-Interface

Pin IF2008/PCle	Signal IF2008/PCle	1 Vss oder RS422		TTL (single-ended)	
		Signal Encoder 1	Signal Encoder 2	Signal Encoder 1	Signal Encoder 2
1	Encoder 1 Spur A+	A+		A	
2	Encoder 1 Spur A-	A-		open	
3	Encoder 2 Spur A+		A+		A
4	Encoder 2 Spur A-		A-		open
5	VCC (+5 V)	+UB	+UB	+UB	+UB
6	Encoder 1 Spur B+	B+		B	
7	Encoder 1 Spur B-	B-		open	
8	Encoder 2 Spur B+		B+		B
9	Encoder 2 Spur B-		B-		open
10	GND	GND	GND	GND	GND
11	Encoder 1 Spur R+	R+		R	
12	Encoder 1 Spur R-	R-		open	
13	Encoder 2 Spur R+		R+		R
14	Encoder 2 Spur R-		R-		open
15	GND	GND	GND	GND	GND

Abb. 48: Encoder-Interface

**i** Die Plus-Eingänge (A+, B+, R+) dürfen nicht offen bleiben. Wird zum Beispiel bei einem Ereigniszähler nur das Taktsignal verwendet, so müssen die nicht belegten Plus-Eingänge auf GND oder VCC gelegt werden.

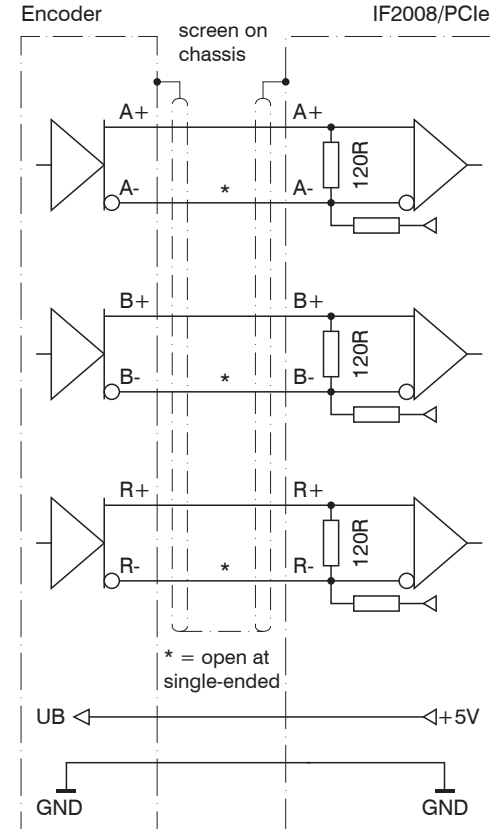


Abb. 49: Blockschaltbild Encoder-Interface

## 11.5 Optokoppler I/O

Pin IF2008/PCle	Signal IF2008/PCle	Pin IF2008/PCle	Signal IF2008/PCle
1	OUT 1	6	IN1
2	OUT 2	7	IN2
3	OUT 3	8	IN3
4	OUT 4	9	IN4
5	GND		

Abb. 50: Optokoppler I/O

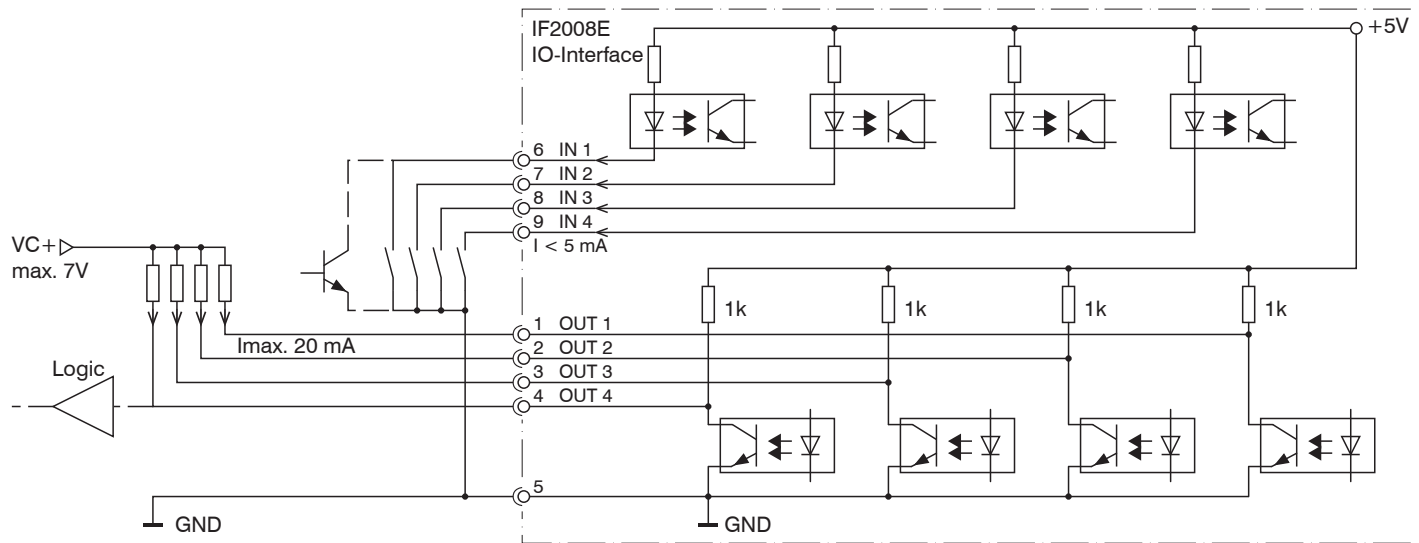


Abb. 51: Blockschaltbild Optokoppler I/O

## 12. Haftung für Sachmängel

Alle Komponenten des Gerätes wurden im Werk auf die Funktionsfähigkeit hin überprüft und getestet. Sollten jedoch trotz sorgfältiger Qualitätskontrolle Fehler auftreten, so sind diese umgehend an MICRO-EPSILON oder den Händler zu melden.

Die Haftung für Sachmängel beträgt 12 Monate ab Lieferung. Innerhalb dieser Zeit werden fehlerhafte Teile, ausgenommen Verschleißteile, kostenlos instandgesetzt oder ausgetauscht, wenn das Gerät kostenfrei an MICRO-EPSILON eingeschickt wird. Nicht unter die Haftung für Sachmängel fallen solche Schäden, die durch unsachgemäße Behandlung oder Gewalteinwirkung entstanden oder auf Reparaturen oder Veränderungen durch Dritte zurückzuführen sind. Für Reparaturen ist ausschließlich MICRO-EPSILON zuständig.

Weitergehende Ansprüche können nicht geltend gemacht werden. Die Ansprüche aus dem Kaufvertrag bleiben hierdurch unberührt. MICRO-EPSILON haftet insbesondere nicht für etwaige Folgeschäden. Im Interesse der Weiterentwicklung behalten wir uns das Recht auf Konstruktionsänderungen vor.

## 13. Außerbetriebnahme, Entsorgung

➡ Entfernen Sie die Versorgungs- und Ausgangskabel an der/den Interfacekarte(n).

Durch falsche Entsorgung können Gefahren für die Umwelt entstehen.

➡ Entsorgen Sie das Gerät, dessen Komponenten und das Zubehör sowie die Verpackungsmaterialien entsprechend den einschlägigen landesspezifischen Abfallbehandlungs- und Entsorgungsvorschriften des Verwendungsgebietes.



MICRO-EPSILON MESSTECHNIK GmbH & Co. KG  
Königbacher Str. 15 · 94496 Ortenburg / Deutschland  
Tel. +49 (0) 8542 / 168-0 · Fax +49 (0) 8542 / 168-90  
info@micro-epsilon.de · www.micro-epsilon.de

X9770412-A011099MSC